

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-12819

(P 2 0 0 0 - 1 2 8 1 9 A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int. Cl. <sup>7</sup>

識別記号

F I

テマコード (参考)

H01L 27/146

H01L 27/14

A 4M118

27/148

H04N 5/335

E 5C024

27/14

9/07

A 5C065

H04N 5/335

H01L 27/14

B

9/07

D

審査請求 未請求 請求項の数12 O L (全17頁)

(21) 出願番号

特願平10-169874

(71) 出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(22) 出願日

平成10年6月17日 (1998.6.17)

(72) 発明者 磯貝 忠男

東京都千代田区丸の内3丁目2番3号 株

式会社ニコン内

(72) 発明者 齋園 正博

東京都千代田区丸の内3丁目2番3号 株

式会社ニコン内

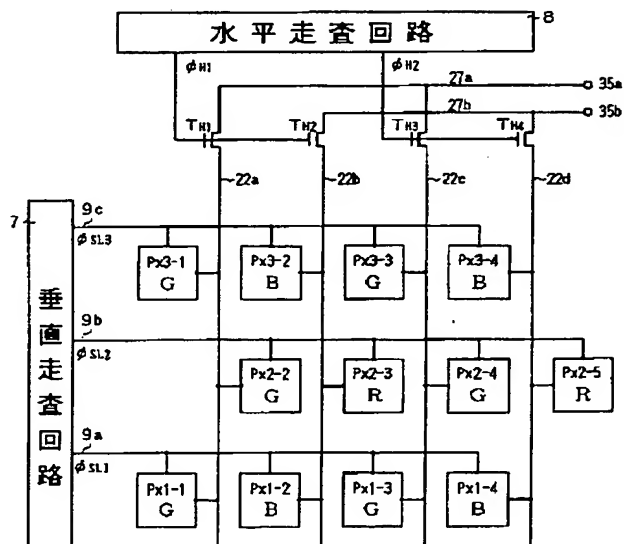
最終頁に続く

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【課題】 並列出力構成であって、且つ、市松状に配置された画素（又は光電変換部）の信号ばらつきが低減され、S/N比が高い固体撮像素子を提供する。

【解決手段】 市松状に配置された特定画素の信号は、2つの水平信号線（又は水平転送レジスタ）の内の一方に出力され、または一つの出力端子から外部に出力される。本発明は、市松状に配置された色フィルタを使用してカラー撮像するのに好適である。



## 【特許請求の範囲】

【請求項 1】 2 次元マトリクス状に配置された複数の画素と、前記画素の信号を出力する複数の出力端子とを備えた X-Y アドレス型固体撮像素子であって、前記画素のうち、市松状に配置された特定画素の信号が 1 つの出力端子から出力され、他の画素の信号が他の出力端子から出力されることを特徴とする固体撮像素子。

【請求項 2】 2 次元マトリクス状に配置された複数の画素と、  
前記画素が接続された複数の垂直信号線と、  
スイッチを介して前記垂直信号線が接続された 2 つの水平信号線とを備えた固体撮像素子であって、  
前記垂直信号線のそれぞれには、隣り合う 2 列の画素列のうち一方の画素列の奇数行目の画素、及び、他方の画素列の偶数行目の画素が接続され、  
一方の前記水平信号線には奇数番目の前記垂直信号線が接続され、他方の前記水平信号線には偶数番目の前記垂直信号線が接続されていることを特徴とする固体撮像素子。

【請求項 3】 前記画素は、入射光に応じた電荷を生成する光電変換部と、  
前記電荷に応じた信号を垂直信号線に出力する出力部とを有することを特徴とする請求項 1 又は 2 に記載の固体撮像素子。

【請求項 4】 前記画素は前記電荷を前記光電変換部から前記出力部に転送する転送部と、  
前記出力部を制御する制御部とをさらに有することを特徴とする請求項 3 記載の固体撮像素子。

【請求項 5】 前記画素の一部に遮光領域が形成され、奇数行目に配置された画素と偶数行目に配置された画素で、前記遮光領域の形状が同一であることを特徴とする請求項 1 から請求項 4 のいずれかに記載の固体撮像素子。

【請求項 6】 前記画素に対応して複数の種類の色フィルタが配置され、少なくとも一種類の前記色フィルタが市松状に配置されていることを特徴とする請求項 1 から請求項 5 のいずれかに記載の固体撮像素子。

【請求項 7】 前記画素に対応して、緑の色フィルタが市松状に配置され、その他の前記画素に対応して、赤と青の色フィルタが線順次に配置されていることを特徴とする請求項 1 から請求項 5 のいずれかに記載の固体撮像素子。

【請求項 8】 2 次元マトリクス状に配置された複数の光電変換部と、前記光電変換部の信号を出力する複数の出力端子とを備えた CCD 型固体撮像素子であって、前記光電変換部のうち、市松状に配置された特定の光電変換部の信号が 1 つの出力端子から出力され、他の光電変換部の信号が他の出力端子から出力されることを特徴とする固体撮像素子。

【請求項 9】 2 次元マトリクス状に配置された複数の

光電変換部と、

前記光電変換部から信号電荷を受け取り列方向に転送する複数の垂直転送レジスタと、

前記垂直転送レジスタから前記信号電荷を受け取り、行方向に転送する 2 つの水平転送レジスタとを備えた固体撮像素子であって、

前記垂直転送レジスタのそれぞれは、隣り合う 2 列の光電変換部のうち一方の列の奇数行目の光電変換部、及び、他方の列の偶数行目の光電変換部から信号電荷を受け取り、

一方の前記水平転送レジスタは奇数番目の前記垂直転送レジスタから信号電荷を受け取り、他方の前記水平転送レジスタは偶数番目の前記垂直転送レジスタから信号電荷を受け取ることを特徴とする固体撮像素子。

【請求項 1 0】 前記光電変換部の一部に遮光領域が形成され、奇数行目に配置された光電変換部と偶数行目に配置された光電変換部で、前記遮光領域の形状が同一であることを特徴とする請求項 8 または請求項 9 のいずれかに記載の固体撮像素子。

【請求項 1 1】 前記光電変換部に対応して複数の種類の色フィルタが配置され、少なくとも一種類の前記色フィルタが市松状に配置されていることを特徴とする請求項 8 から請求項 1 0 のいずれかに記載の固体撮像素子。

【請求項 1 2】 前記光電変換部に対応して、緑の色フィルタが市松状に配置され、その他の前記光電変換部に対応して、赤と青の色フィルタが線順次に配置されていることを特徴とする請求項 8 から請求項 1 0 のいずれかに記載の固体撮像素子。

## 【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、固体撮像素子に関するものであり、さらに詳しくは、並列出力構成の固体撮像素子に関するものである。本発明の固体撮像素子は、市松状に配置された色フィルタを使用してカラー撮像するのに好適である。

【 0 0 0 2 】

【従来の技術】固体撮像素子は、これまでに X-Y アドレス型や CCD 型など様々な方式が提案され、実用化に至っている。まず、従来の X-Y アドレス型固体撮像素子を図面を参照して説明する。図 2 3 は、従来の X-Y アドレス型固体撮像素子の主な構成を示す回路図である。従来の X-Y アドレス型固体撮像素子は、2 次元マトリクス状に配置された複数の画素  $P_{x1-1} \sim P_{x3-4}$  と、上記画素が接続された垂直信号線  $22a \sim 22d$  と、列バッファアンプ  $29a \sim 29d$ 、クランプ容量  $C_{c1} \sim C_{c4}$ 、列選択トランジスタ  $TH1 \sim TH4$  を介して上記垂直信号線が接続された水平信号線  $27a$ 、 $27b$  と、水平信号線に接続された出力バッファアンプ  $28a$ 、 $28b$  と、各画素  $P_{x1-1} \sim P_{x3-4}$  を駆動する垂直走査回路 7 と、各列選択トランジスタ  $TH1$

10

20

30

40

50

～TH4を駆動する水平走査回路8から構成されている。

【0003】水平信号線は、図示されたように複数配置される。画素数が少ない固体撮像素子ならば、1系列の水平信号線でも良い。しかし、画素数が増大すると感度や動作速度が不足するという問題が生じるので、複数の水平信号線を形成し並列に出力するのがより好ましい。画素 $P \times 1-1 \sim P \times 3-4$ の信号は、JFET2のソース(S)から垂直信号線22a～22dに出力され、列バッファアンプ29a～29d、クランプ容量Cc1～Cc4、列選択トランジスタTH1～TH4を経由して水平信号線27a、27bに出力され、出力バッファアンプ28a、28bを経て出力端子35a、35bから出力(Vout1、Vout2)される。

【0004】なお、クランプ容量Cc1～Cc4と列選択トランジスタTH1～TH4の間にはクランプトランジスタTc1～Tc4が接続され、クランプ容量の一方の電極に一定電圧(図23では接地電位GND)を印加できるようになっている。これは、各画素で生ずるノイズを除去するために配置される。次に図23、図24を参照しながら画素構造を説明する。図24は、マトリクス状に配置された複数の画素の平面図である。各画素は、入射光に応じた電荷を生成して蓄積するフォトダイオード1と、ソースフォロワ動作により上記電荷に応じた信号をソース(S)から出力する接合型電界効果トランジスタ(以下、JFETという)2と、上記電荷をフォトダイオード1からJFET2に転送する転送ゲート3と、JFET2を制御するリセットドレイン4とリセットゲート5から構成されている。そして、各JFET2は、列毎に垂直信号線22a～22dに接続されている。なお、単位画素構造に関しては、特開平8-293591にその詳細が開示されている。

【0005】次に、従来のCCD型固体撮像素子を図面を参照して説明する。図25は、従来のCCD型固体撮像素子の概略構成図である。本素子は、2次元マトリクス状に配置された複数のフォトダイオード210と、フォトダイオード210から信号電荷を受け取り列方向に転送する複数の垂直転送レジスタ220と、垂直転送レジスタ220から信号電荷を受け取り行方向に転送する水平転送レジスタ240a、240bと、電荷検出部250a、250bから構成されている。

【0006】フォトダイオード210で生成された信号電荷は、垂直転送レジスタ220、水平転送レジスタ240a、240bを転送され、電荷検出部250a、250bで電圧信号に変換されて、出力端子260a、260bから出力(Vout1、Vout2)される。図26は、図25のX1-X2線に沿ったCCD型固体撮像素子の断面図である。N型半導体基板200上には、P型ウエル201が設けられる。フォトダイオード210は、このP型ウエル中に配置される。

【0007】フォトダイオード210で生成された信号電荷は、N型電荷蓄積領域211に蓄積される。N型電荷蓄積領域211に蓄積された上記信号電荷は、転送電極224の動作により、先ず垂直転送レジスタ220のN型転送チャネル領域221に転送され、次いで列方向に順次転送される。ところで、固体撮像素子をカラー撮像に使用する場合は、固体撮像素子の各フォトダイオードの上に赤(R)、緑(G)、青(B)のいずれかの色フィルタが配置される。各々の画素は、それぞれの画素に配置されたフィルタに対応する色信号を出力する。

【0008】上記のR、G、Bの各色フィルタの配列は、様々なものが提案されている。図27、図28は、カラー撮像の際固体撮像素子に配置させる代表的な色フィルタ配列を示している。図27に示す配列においては、緑(G)の色フィルタが画素に対応して1列おきにストライプ状に配置され、残されたその他の画素に対応して赤(R)及び青(B)の色フィルタが配置されている。

【0009】図28に示す配列においては、緑(G)の色フィルタが市松状に配置され、残されたその他の画素に対応して赤(R)及び青(B)の色フィルタが線順次に配置(一般にベイヤ配列と呼ぶ)されている。従来の固体撮像素子は、緑(G)の色フィルタが1列おきにストライプ状に配置された、図27に示す色フィルタ配列が好適である。それは、輝度信号の主成分となる緑

(G)の色フィルタを備えた画素の信号が、1つの水平信号線(図23の27aまたは27b)、または1つの水平転送レジスタ(図25の240a、または240b)を経由して、一つの出力端子(図23の35aまたは35b、図25の260aまたは260b)から出力されるため、後段の信号処理が容易になると同時に、固定パターンノイズが減少して、映像信号のS/N比が向上するためである。

【0010】

【発明が解決しようとする課題】しかしながら、従来の固体撮像素子は、例えば、緑(G)の色フィルタが市松状に配置された図28に示す色フィルタ配列を備えた時に、固定パターンノイズが発生し、S/N比が低下するという問題点があった。これは、市松状に配置された画素の信号が、2つの異なる経路(水平信号線または水平転送レジスタ)を経て、2つの異なる出力端子から出力されるためである。

【0011】本発明は、上記課題を鑑みてなされたものであり、並列出力構成であって、且つ、市松状に配置された画素(又は光電変換部)の信号ばらつきが低減され、S/N比が高い固体撮像素子を提供することを目的とする。

【0012】

【課題を解決するための手段】請求項1に記載の発明は、2次元マトリクス状に配置された複数の画素と、前

記画素の信号を出力する複数の出力端子とを備えたX-Yアドレス型固体撮像素子であって、前記画素のうち、市松状に配置された特定画素の信号が1つの出力端子から出力され、他の画素の信号が他の出力端子から出力されることを特徴とするものである。

【0013】市松状に配置された画素の信号が1つの出力端子から出力されるため、市松状に配置された画素から出力される信号の固定パターンノイズは減少し、S/N比が向上する。特に、市松状配列の色フィルタを備えたときに好適である。請求項2に記載の発明は、2次元マトリクス状に配置された複数の画素と、前記画素が接続された複数の垂直信号線と、スイッチを介して前記垂直信号線が接続された2つの水平信号線とを備えた固体撮像素子であって、前記垂直信号線のそれぞれには、隣り合う2列の画素列のうち一方の画素列の奇数行目の画素、及び、他方の画素列の偶数行目の画素が接続され、一方の前記水平信号線には奇数番目の前記垂直信号線が接続され、他方の前記水平信号線には偶数番目の前記垂直信号線が接続されていることを特徴とするものである。

【0014】この構成により、市松状に配置された画素の信号は、1つの水平信号線を経由して出力されるため、固定パターンノイズが減少し、S/N比が向上する。特に、市松状配列の色フィルタを備えたときに好適である。請求項3に記載の発明は、請求項1又は2に記載された固体撮像素子において、前記画素は、入射光に応じた電荷を生成する光電変換部と、前記電荷に応じた信号を垂直信号線に出力する出力部とを有することを特徴とするものである。また、請求項4に記載の発明は、請求項3に記載された固体撮像素子において、前記画素は前記電荷を前記光電変換部から前記出力部に転送する転送部と、前記出力部を制御する制御部とをさらに有することを特徴とするものである。

【0015】これらの構成により、入射光で生じた電荷そのものではなく、この電荷によって変換された信号（例えば電荷増幅された信号や電流増幅された信号）を出力することが可能となる。請求項5に記載の発明は、請求項1から請求項4のいずれかに記載の固体撮像素子であって、前記画素の一部に遮光領域が形成され、奇数行目に配置された画素と偶数行目に配置された画素で、前記遮光領域の形状が同一であることを特徴とするものである。

【0016】この構成により、各画素の受光特性が同一となり、固定パターンノイズが減少し、S/N比が向上する。請求項6に記載の発明は、請求項1から請求項5のいずれかに記載された固体撮像素子であって、前記画素に対応して複数の種類の色フィルタが配置され、少なくとも一種類の前記色フィルタが市松状に配置されていることを特徴とする。

【0017】カラー撮像する場合、固体撮像素子の各画

素には、色フィルタが配置される。色フィルタは、一般に複数の色の種類が有る。請求項7の発明は、この複数の色フィルタの内、少なくとも一色の色フィルタが市松状に配置される。このため、この色に対応する信号は固定パターンノイズが減少し、S/N比が向上する。請求項7に記載の発明は、請求項1から請求項5のいずれかに記載された固体撮像素子であって、前記画素に対応して、緑の色フィルタが市松状に配置され、その他の前記画素に対応して、赤と青の色フィルタが線順次に配置されていることを特徴とするものである。この請求項は、具体的な色フィルタの種類を示したものである。

【0018】請求項8に記載の発明は、2次元マトリクス状に配置された複数の光電変換部と、前記光電変換部の信号を出力する複数の出力端子とを備えたCCD型固体撮像素子であって、前記光電変換部のうち、市松状に配置された特定の光電変換部の信号が1つの出力端子から出力され、他の光電変換部の信号が他の出力端子から出力されることを特徴とするものである。

【0019】市松状に配置された光電変換部の信号が1つの出力端子から出力されるため、市松状に配置された光電変換部から出力される信号の固定パターンノイズは減少し、S/N比が向上する。特に、市松状配列の色フィルタを備えたときに好適である。請求項9に記載の発明は、2次元マトリクス状に配置された複数の光電変換部と、前記光電変換部から信号電荷を受け取り列方向に転送する複数の垂直転送レジスタと、前記垂直転送レジスタから前記信号電荷を受け取り、行方向に転送する2つの水平転送レジスタとを備えた固体撮像素子であって、前記垂直転送レジスタのそれぞれは、隣り合う2列の光電変換部のうち一方の列の奇数行目の光電変換部、及び、他方の列の偶数行目の光電変換部から信号電荷を受け取り、一方の前記水平転送レジスタは奇数番目の前記垂直転送レジスタから信号電荷を受け取り、他方の前記水平転送レジスタは偶数番目の前記垂直転送レジスタから信号電荷を受け取ることを特徴とするものである。

【0020】市松状に配置された光電変換部の信号は、1つの水平転送レジスタを経由して出力される。このため、固定パターンノイズが減少し、S/N比が向上する。市松状配列の色フィルタを備えたときに特に好適である。請求項10に記載の発明は、請求項8または請求項9のいずれかに記載の固体撮像素子であって、前記光電変換部の一部に遮光領域が形成され、奇数行目に配置された光電変換部と偶数行目に配置された光電変換部で、前記遮光領域の形状が同一であることを特徴とするものである。

【0021】この構成により、各光電変換部の受光特性が同一となり、固定パターンノイズが減少し、S/N比が向上する。請求項11に記載の発明は、請求項8から請求項10のいずれかに記載された固体撮像素子であって、前記光電変換部に対応して複数の種類の色フィルタ

10

20

30

40

50

が配置され、少なくとも一種類の前記色フィルタが市松状に配置されていることを特徴とする。

【0022】カラー撮像する場合、固体撮像素子の各光電変換部には、色フィルタが配置される。色フィルタは、一般に複数の色の種類が有る。請求項11の発明は、この複数の色フィルタの内、少なくとも一色の色フィルタが市松状に配置される。このため、この色に対応する信号は固定パターンノイズが減少し、S/N比が向上する。

【0023】請求項12に記載の発明は、請求項8から請求項10のいずれかに記載された固体撮像素子であって、前記光電変換部に対応して、緑の色フィルタが市松状に配置され、その他の前記光電変換部に対応して、赤と青の色フィルタが線順次に配置されていることを特徴とする。この請求項は、具体的な色フィルタの種類を示したものである。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。なお、各図中、同一符号は同一または相当部分を示し、重複する説明は省略する。

【実施形態1】図1は、本発明の実施形態1による固体撮像素子の概略を示す回路図である。

【0025】実施形態1による固体撮像素子は、X-Yアドレス型固体撮像素子であり、2次元マトリクス状に配置された複数の画素 $Px1-1 \sim Px3-4$ と、隣り合う2列の画素が1画素おきに交互に接続された垂直信号線22a~22dと、列選択トランジスタTH1~TH4を介して垂直信号線22a~22dが交互に接続された水平信号線27a、27bと、水平信号線27a、27bに設けられた出力端子35a、35bと、各画素 $Px1-1 \sim Px3-4$ を駆動する垂直走査回路7と、各列選択トランジスタTH1~TH4を駆動する水平走査回路8から構成されている。

【0026】なお、実際の本実施形態の固体撮像素子の画素は、行方向、列方向ともに100以上配置される。図1（並びに別の実施形態を示す各回路図）は、便宜上その一部を示している。ここでは、画素数を上記のようにしたが、本発明は、これに限られるものではない。例えば、用途に応じて画素は、行方向、列方向とも100以上配置させても良い。

【0027】実施形態1の固体撮像素子は、垂直信号線22a~22dのそれぞれに、隣り合う2列の画素列のうち一方の画素列の奇数行目の画素と他方の画素列の偶数行目の画素が接続され、また、2つの水平信号線を有している。即ち、垂直信号線22aは、一行目が図面において向かって左側の画素（Px1-1）、二行目が右側の画素（Px2-2）、三行目が左側の画素（Px3-1）を接続している。そして、垂直信号線22a、22cは、列選択トランジスタTH1、TH3を介して一方の水平信号線27aに接続される。垂直信号線22

b、22dは列選択トランジスタTH2、TH4を介して他方の水平信号線27bに接続される。

【0028】このように接続すればPx1-1、Px1-3、Px2-2、Px2-4、Px3-1、Px3-3の画素（市松状に配置された画素）から出力される信号は、同じ水平信号線を経由して固体撮像素子の外部に出力することが可能となる。同じ水平信号線を経由するので、固定パターンノイズは低減される。また、緑

（G）の色フィルタが市松状に設けられて、対応する画素（Px1-1、Px1-3、Px2-2、Px2-4、Px3-1、Px3-3）上に配置される。残されたその他の画素には、赤（R）と青（B）の色フィルタが線順次に配置（ベイヤ配列）される。

【0029】この様に色フィルタを配置させると、緑（G）の信号が同じ水平信号線27aを経由して出力端子35aから出力される。また、赤（R）と青（B）の信号は、他方の水平信号線27bを経由して出力端子35bから出力される。以上のように、実施形態1の固体撮像素子は、市松状に配置された緑（G）の色フィルタを備えた画素の信号が、1つの水平信号線27aを経由して、1つの出力端子35aから出力される。従って、従来のX-Yアドレス型固体撮像素子と比べて、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N比が向上する。

【実施形態2】図2は、本発明の実施形態2による固体撮像素子の概略を示す回路図である。

【0030】実施形態2による固体撮像素子は、X-Yアドレス型固体撮像素子であり、1つの画素（例えばPx1-1）が入射光に応じた電荷を生成して蓄積するフォトダイオード41と、フォトダイオード41の電荷を垂直信号線22aに転送する行選択トランジスタ42から構成されている。各画素は、フォトダイオード41以外の領域を遮光性を有する膜（遮光膜）で被覆し、奇数行目の画素と偶数行目の画素で、遮光領域の形状を同一としても良い。このようにすれば、奇数行目の画素と偶数行目の画素は、受光部の面積、形状、光学的重心の位置が同一となり、受光特性のバラツキが低減される。その他の構成は、実施形態1の固体撮像素子と同一である。

【0031】また、各画素Px1-1~Px3-4のフォトダイオード41に対応して、実施形態1の固体撮像素子と同様に、赤（R）、緑（G）、青（B）の各色フィルタが配置されている。このため、緑（G）の信号は、すべて一方の水平信号線27aを経由して出力端子35aから出力される。また、赤（R）と青（B）の信号は、他方の水平信号線27bを経由して出力端子35bから出力される。

【0032】従って、実施形態2の固体撮像素子は、実施形態1の固体撮像素子と同様、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N

比が向上する。

【実施形態 3】図 3 は、本発明の実施形態 3 による固体撮像素子の概略を示す回路図である。

【0033】実施形態 3 による固体撮像素子は、X-Y アドレス型固体撮像素子であり、1つの画素（例えば  $P \times 1-1$ ）が入射光に応じた電荷を生成して蓄積するフォトダイオード 51 と、フォトダイオード 51 の電位を検出しソースフォロウ動作によりソース（S）から出力するトランジスタ 52 と、トランジスタ 52 のソース

（S）と垂直信号線 22a とを接続する行選択トランジスタ 54 と、フォトダイオード 51 とトランジスタ 52 を初期化するリセットトランジスタ 53 から構成されている。なお、フォトダイオード 51 の電位は、蓄積された電荷の量に応じて変動する。

【0034】画素  $P \times 1-1 \sim P \times 3-4$  の信号は、トランジスタ 52 のソース（S）から行選択トランジスタ 54 を介して垂直信号線 22a ～ 22d に出力され、列バッファアンプ 29a ～ 29d、クランプ容量  $Cc1 \sim Cc4$ 、列選択トランジスタ TH1 ～ TH4 を経由して水平信号線 27a、27b に出力され、出力バッファアンプ 28a、28b を経て、出力端子 35a、35b から出力（Vout1、Vout2）される。

【0035】ところで、各画素と垂直信号線 22a ～ 22d との接続関係は実施形態 1 と同様であり、垂直信号線 22a ～ 22d のそれぞれに隣り合う 2 列の画素が 1 画素おきに交互に接続される。また、垂直信号線 22a ～ 22d は、垂直負荷容量  $Cv1 \sim Cv4$  に接続されるとともに、列バッファアンプ 29a ～ 29d、クランプ容量  $Cc1 \sim Cc4$  を介してクランプトランジスタ TC1 ～ TC4 に接続され、さらに列選択トランジスタ TH1 ～ TH4 を経て、水平信号線 27a、27b に交互に接続される。

【0036】従って、実施形態 3 の固体撮像素子は、実施形態 1 の固体撮像素子と同様、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N 比が向上する。また、実施形態 3 の固体撮像素子は、実施形態 2 の固体撮像素子と同様に各画素のフォトダイオード 51 以外の領域を遮光膜で被覆し、奇数行目の画素と偶数行目の画素で遮光領域の形状を同一にしても良い。

【0037】また、垂直負荷容量  $Cv1 \sim Cv4$  によってトランジスタ 52 のソースフォロウ動作の帯域が制限されるためノイズがさらに減少する。即ち、本実施形態の固体撮像素子は、フォトダイオード 51 が信号電荷を蓄積した時のソースフォロウ出力と、フォトダイオード 51 の信号電荷をリセットした後のソースフォロウ出力をクランプ容量  $Cc1 \sim Cc4$  を介して減算処理する。この処理によって、トランジスタ 52 のしきい値電圧のばらつきによる固定パターンノイズ、ソースフォロウ動作時の  $1/f$  ノイズ、列バッファアンプ 29a ～ 29d

のオフセット電圧のばらつきによる固定パターンノイズは減少し、S/N 比がさらに向上する。

【実施形態 4】図 4 は、本発明の実施形態 4 による固体撮像素子の構成を示す回路図である。実施形態 4 による固体撮像素子は X-Y アドレス型固体撮像素子であり、実施形態 3 の固体撮像素子とは画素構成が異なっている。また、それに伴って、垂直走査回路やそれに接続される走査用の配線が異なる。

【0038】実施形態 4 による固体撮像素子の 1 つの画素、例えば  $P \times 1-3$  は、入射光に応じた電荷を生成して蓄積するフォトダイオード 1 と、ソースフォロウ動作により上記電荷に応じた信号をソース S から出力する接合型電界効果トランジスタ（以下、JFET という）2 と、上記電荷をフォトダイオード 1 から JFET 2 に転送する転送ゲート 3 と、JFET 2 を制御するリセットドレイン 4 とリセットゲート 5 から構成されている。

【0039】その他の構成は、実施形態 3 の固体撮像素子とほぼ同一である。図 5 は、本実施形態に係る固体撮像素子の複数の画素の平面図である。各画素は、フォトダイオード 1、JFET 2、転送ゲート 3、リセットドレイン 4、リセットゲート 5 から構成されている。そして、奇数行目に配置された画素と偶数行目に配置された画素は、構造が反転しており、隣り合う 2 列の画素の JFET 2 が、1 画素おきに交互に垂直信号線 22（図 4 の垂直信号線 22a ～ 22d に対応する）に接続されている。

【0040】転送ゲート 3 は転送ゲート配線 20（図 4 の転送ゲート配線 20a ～ 20c に対応する）に、リセットゲート 5 はリセットゲート配線 21（図 4 のリセットゲート配線 21a ～ 21c に対応する）に、それぞれ接続されている。リセットドレイン 4 は、中継配線 23 を介して、リセットドレイン配線 24（図 4 のリセットドレイン配線 24a ～ 24c に対応する）に接続されている（図 7 参照）。

【0041】各画素のフォトダイオード 1 以外の領域は、アルミニウム等の遮光性を有する材料で形成されたリセットドレイン配線 24 及び垂直信号線 22 によって遮光されている。このことにより、奇数行目の画素と偶数行目の画素は、受光領域の面積、形状、光学的重心の位置が同一となる。このため、固定パターンノイズがさらに減少し、S/N 比がさらに向上する。

【0042】本実施形態の固体撮像素子では、上記のように走査用配線や垂直信号線を遮光膜として兼用した。従って、遮光膜として専用の膜を配置させるよりも製造工程が減少する。このため、歩留まりが向上し、製造コストが低減される。しかし、逆に、遮光膜専用にアルミニウム膜を形成し、受光領域が開くようにパターニングしても良い。このようにすれば、配線を遮光膜に兼用する必要が無く、配線設計の自由度が向上する。

【0043】また、本実施形態の固体撮像素子は、実施



形態1に係る固体撮像素子と同様に各画素のフォトダイオード1に赤(R)、緑(G)、青(B)の各色フィルタを配置している。このため、緑(G)の信号は、すべて一方の水平信号線27aを経由して出力端子35aから出力される。このため、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N比が向上する。

【0044】以下、図6～図9を参照して実施形態4の固体撮像素子の画素構造をさらに詳細に説明する。図6は、本実施形態に係る固体撮像素子の1つの画素の平面図、図7は図6のX1-X2線に沿った断面図、図8は図6のY1-Y2線に沿った断面図、図9は図6のY3-Y4線に沿った断面図である。なお、これらの図において色フィルタは省略されている。

【0045】フォトダイオード1は、図8、図9に示すように、P型半導体基板10上に形成されたN型ウエル領域11、P型電荷蓄積領域12、高濃度のN型半導体領域13によって構成される。これにより、NPNP型の縦型オーバーフロードレイン構造で埋込型のフォトダイオードが形成されている。即ち、埋め込み型のフォトダイオード(N, P, N)と縦型オーバーフロードレイン構造(P, N, P)の合わさった構造が形成されている。縦型オーバーフロードレイン構造で埋込型のフォトダイオードの構成は、暗電流、残像、リセットノイズ、ブルーミング、及びスミアを低減する効果を有する。

【0046】JFET2は、図7、図8に示すように、N型ソース領域14、P型ゲート領域15、N型ドレイン領域16、N型チャネル領域17から構成されている。転送ゲート3は、図8に示すようにフォトダイオード1とJFET2の境界領域上に絶縁膜33を介して形成されている。リセットドレイン4は、図7、図9に示すようにN型ウエル領域11中のP型電荷排出領域18から構成されている。リセットゲート5は、図7に示すようにJFET2とリセットドレイン4の境界領域上に絶縁膜33を介して形成されている。

【0047】以上のように、実施形態4の固体撮像素子は、市松状に配置された緑(G)の色フィルタを備えた画素の信号が、1つの水平信号線27a、1つの出力バッファアンプ28aを経由して、1つの出力端子35aから出力される。従って、実施形態1の固体撮像素子と同様、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N比が向上する。

【0048】また、実施形態4の固体撮像素子は、各画素のフォトダイオード1以外の領域が、リセットドレイン配線24及び垂直信号線22によって遮光され、奇数行目の画素と偶数行目の画素で、遮光領域の形状が同一であるため、固定パターンノイズが減少し、さらにS/N比が向上する。また、縦型オーバーフロードレイン構造及び埋込型のフォトダイオード構造のため、暗電流、残像、リセットノイズ、及びブルーミング、スミアが低

減される。さらに、垂直負荷容量Cv1～Cv4によってJFET2のソースフォロウ動作の帯域が制限されるためノイズが減少し、さらにS/N比が向上する。

【0049】更に、初期化後(信号電荷転送前)のJFET2のソースフォロウ出力と、フォトダイオード1からJFET2へ信号電荷転送後のJFET2のソースフォロウ出力を、クランプ容量Cc1～Cc4を介して減算処理(いわゆる相関二重サンプリング処理)することによって、JFET2のしきい値電圧のばらつきによる固定パターンノイズ、ソースフォロウ動作時の1/fノイズ、列バッファアンプ29a～29bのオフセット電圧のばらつきによる固定パターンノイズが低減するばかりでなく、リセットゲート5を介してJFET2を初期化したときに発生するリセットノイズも低減される。このため、さらにS/N比が向上する。

【実施形態5】図10は、本発明の実施形態5による固体撮像素子の構成を示す回路図であり、図11は、そのマトリクス状に配置された複数の画素の平面図である。

【0050】実施形態5による固体撮像素子はX-Yアドレス型固体撮像素子であり、実施形態4の固体撮像素子とは画素構成が異なっている。その他の構成は、実施形態4の固体撮像素子と同一であり、その説明は省略する。ここで、図面を参照して本実施形態に係る固体撮像素子の画素構造を説明する。図12は、本実施形態に係る固体撮像素子の1つの画素の平面図であり、図13は図12のX1-X2線に沿った断面図、図14は図12のY1-Y2線に沿った断面図、図15は図12のY3-Y4線に沿った断面図である。

【0051】1つの画素は、フォトダイオード1、JFET2、転送ゲート3、リセットドレイン4、1画素当たり2つのリセットゲート5、1画素当たり2つのオーバーフロー制御領域6aから構成されている(図12参照)。上記フォトダイオード1、JFET2、リセットドレイン4、オーバーフロー制御領域6aは、高濃度のN型半導体基板100上のN型半導体層101中に設けられる。転送ゲート3、リセットゲート5は、N型半導体層101上に絶縁膜33を介して設けられる。

【0052】フォトダイオード1は、図14、図15に示すように、高濃度のN型半導体基板100上に形成されたN型半導体層101、P型電荷蓄積領域12、高濃度のN型半導体領域13によって構成される。即ち、NPN型の埋込フォトダイオードが設けられている。JFET2は、図13、図14に示すように、高濃度のN型半導体基板100上のN型半導体層101中に設けられている。従って、JFET2のドレイン領域16は、N型半導体層101を介して高濃度のN型半導体基板100と電気的に接続されている。従って、高濃度のN型半導体基板100を経由してJFET2のドレイン領域16にドレイン電圧VD(図10参照)を供給することができる。高濃度のN型半導体基板100は、電気抵抗が

小さいため、たとえ多数の画素を配列しても各 J F E T 毎のドレイン電圧の変動を抑圧することができる。

【0053】このドレイン電圧 V D は、画素領域（画素がマトリクス状に複数配置された領域）の周囲にコンタクトを設けて半導体基板 1 0 0 を経由して供給しても、又、半導体基板 1 0 0 の裏面にコンタクトを設けて供給しても良い。リセットドレイン 4 の P 型電荷排出領域 1 8 は、図 1 3 に示すように、中継配線 2 3 を介して、リセットドレイン配線 2 4 に接続されている。

【0054】リセットゲート 5 は、図 1 2、図 1 3 に示すように、1 画素当たり 2 つの割合で形成されている。従って、J F E T 2 の P 型ゲート領域 1 5 とリセットドレイン 4 の P 型電荷排出領域 1 8 はリセットゲート 5 を介して行方向に直列に接続されている。オーバーフロー制御領域 6 a は、オーバーフローのためにフォトダイオード 1 とリセットドレイン 4 の境界領域に配置される。一般に、過剰な光量がフォトダイオードに入射し、生成した電荷がフォトダイオードの容量（最大電荷蓄積量）を越えると、過剰電荷があふれ出しブルーミングを生ずる。オーバーフロー制御領域 6 a は、この過剰電荷をリセットドレイン 4 に排出するものであり、ブルーミングを防止するものである。オーバーフロー制御領域 6 a は、図 1 2、図 1 4、図 1 5 に示すように、フォトダイオード 1 と、これに隣接する 2 つのリセットドレイン 4 との間に配置される。即ち、オーバーフロー制御領域 6 a は、フォトダイオード 1 とリセットドレイン 4 の境界領域に 1 画素当たり 2 つの割合で配置される。

【0055】このように、本実施形態の固体撮像素子の画素構造は、NPN 型の埋込フォトダイオード 1、オーバーフロー制御領域 6 a、リセットドレイン 4 によって構成され、これにより、埋め込み型フォトダイオードと横型オーバーフロードレイン構造が形成されている。ここで、図 1 0、1 1 に戻って説明する。本実施形態の固体撮像素子は、上記の画素がマトリクス状に配置される。ところで、行方向（図 1 0、1 1 において横方向）に配置された各画素の J F E T 2 のゲート領域とリセットドレイン 4 は、リセットゲート 5 を介して全て直列に接続されている。この構成により、リセットドレイン配線の断線による不良が低減される。即ち、ある画素において、リセットドレイン 4 とリセットドレイン配線 2 4、2 4 a ~ 2 4 c との接続が不完全となる解放モードの不良が発生しても、他の画素のリセットドレイン 4 から上記画素の J F E T 2 と接続される。このため、断線となる可能性が非常に小さくなる。

【0056】その他の構成は実施形態 4 の固体撮像素子と同一である。このため、実施形態 5 の固体撮像素子は、実施形態 4 の固体撮像素子と同様に固定パターンノイズが低減し、S/N 比が向上する。また、実施形態 5 の固体撮像素子は、リセットドレイン 4 への接続が不完全となる解放モードの不良が発生しても J F E T 2 が制

御可能なため、製造歩留まりが向上する。

【0057】また、高濃度（低抵抗）の N 型半導体基板 1 0 0 を経由して、J F E T 2 のドレイン領域 1 6 にドレイン電圧 V D を供給するので、ドレイン電圧の画素毎の揺らぎが減少して、固定パターンノイズが減少する。また、フォトダイオード 1 の P 型電荷蓄積領域 1 2 と、反対導電型の N 型半導体基板 1 0 0 を使用している。このため、フォトダイオード 1 深部で発生した信号電荷（この場合は正孔）もフォトダイオード 1 に蓄積され感度が向上する。

【実施形態 6】図 1 6 は、本発明の実施形態 6 に係る固体撮像素子のマトリクス状に配置された複数の画素の平面図である。

【0058】実施形態 6 の固体撮像素子は X-Y アドレス型固体撮像素子であり、画素に配置されたフォトダイオード 1、J F E T 2、転送ゲート 3、リセットドレイン 4、リセットゲート 5 及びオーバーフロー制御領域 6 a の相対的な位置関係と配線部の形状が実施形態 5 の固体撮像素子と異なっている。即ち、実施形態 6 の固体撮像素子は、リセットドレイン配線 2 4 で覆われた遮光領域におけるリセットゲート 5、垂直信号線 2 2、及び中継配線 2 3 が、奇数行目の画素と偶数行目の画素で同一の形状及び配置となっている。従って、遮光領域の平面的な形状のみならず、配線や絶縁膜を含めた画素全体の断面形状まで同一である。このため、受光特性のばらつきがさらに減少する。

【0059】回路図を含むその他の構成は、実施形態 5 の固体撮像素子と同一である（図 1 0 参照）。従って、実施形態 6 の固体撮像素子は、実施形態 5 の固体撮像素子と同様に固定パターンノイズが低減し、S/N 比、歩留まり、及び感度が向上する。また、実施形態 6 の固体撮像素子は、偶数行目の画素と奇数行目の画素で、配線や絶縁膜の断面形状も同一となるため、固定パターンノイズが減少し、さらに S/N 比が向上する。

【実施形態 7】図 1 7 は、本発明の実施形態 7 による固体撮像素子の概略を示す回路図である。実施形態 7 の固体撮像素子は X-Y アドレス型固体撮像素子であり、垂直信号線 2 2 a ~ 2 2 d から出力端子 3 5 a、3 5 b までの構成が、実施形態 5 の固体撮像素子と異なっている。

【0060】隣り合う 2 列の画素が 1 画素おきに交互に接続された垂直信号線 2 2 a ~ 2 2 d は、信号出力転送用トランジスタ T S 1 ~ T S 4 を介して、信号出力蓄積容量 C S 1 ~ C S 4 に接続されるとともに、列選択トランジスタ T H S 1 ~ T H S 4 を経て、水平信号線 2 7 a または 2 7 c（信号出力線）に接続されている。さらに、垂直信号線 2 2 a ~ 2 2 d は、暗出力転送用トランジスタ T D 1 ~ T D 4 を介して、暗出力蓄積容量 C D 1 ~ C D 4 に接続されるとともに、列選択トランジスタ T H D 1 ~ T H D 4 を経て、水平信号線 2 7 b または 2 7



d (暗出力線) に接続されている。つまり、垂直信号線 22a~22d は、1組の水平信号線 (信号出力線 27a, 暗出力線 27b) と他の組の水平信号線 (信号出力線 27c, 暗出力線 27d) に交互に接続されている。

【0061】水平信号線 27a~27d は、出力バッファアンプ 28a~28d を介して、差動アンプ 34a、34b に接続されている。このように水平信号線 27a~27d は、4本配置される。しかし、水平信号線 27a と 27b、及び水平信号線 27c と 27d は、対になっている。即ち、2組 (2つ) の水平信号線が配置されている。

【0062】例えば、垂直信号線 22a には画素 Px1-1, Px2-2, Px3-1 が接続される。垂直信号線 22a は、ノイズ (暗出力) を含む光信号を蓄積して出力する経路 (即ち、TS1-CS1-THS1-27a-28a) と、ノイズ (暗出力) を蓄積して出力する経路 (即ち、TD1-CD1-THD1-27b-28b) が接続される。それぞれの経路に接続された出力バッファアンプ 28a 及び 28b は、差動アンプ 34a に接続される。そして、それぞれの経路から出力された信号は、減算処理されて一方の出力端子 35a から出力される。

【0063】一方、垂直信号線 22b には画素 Px1-2, Px2-3, Px3-2 が接続される。そして、垂直信号線 22b は、暗出力を含む光信号を蓄積して出力する経路 (即ち、TS2-CS2-THS2-27c-28c) と、暗出力を蓄積して出力する経路 (即ち、TD2-CD2-THD2-27d-28d) が接続される。それぞれの経路に接続された出力バッファアンプ 28c 及び 28d は差動アンプ 34b に接続され、それぞれの経路から出力された信号は減算処理されて他方の出力端子 35b から出力される。

【0064】ここで、本実施形態の固体撮像素子の動作を簡単に説明する。まず、初期化後 (信号電荷転送前) の JFET2 のソースフォロウ出力 (暗出力) を CD1~CD4 に蓄積する。次に、フォトダイオード 1 から JFET2 へ信号電荷転送後の JFET2 のソースフォロウ出力 (信号出力。暗出力成分を含む) を CS1~CS4 に蓄積する。次いで、列選択トランジスタ THS1~THS4、THD1~THD4、水平信号線 27a~27d、出力バッファアンプ 28a~28d を介して、差動アンプ 34a、34b にて、信号出力と暗出力を減算処理する。この動作によって、いわゆる相関二重サンプリング処理がなされ、暗出力成分が差し引かれた真の信号出力が得られる。

【0065】なお、ここに記載した暗出力には「JFET2 のしきい値電圧のばらつきによる固定パターンノイズ」「列バッファアンプ 29a~29d のオフセット電圧のばらつきによる固定パターンノイズ」「ソースフォロウ動作時の 1/f ノイズ」「JFET2 を初期化した

ときのリセットノイズ」が含まれる。なお、外部のノイズの影響を避けるため、出力バッファアンプ 28a~28d は、固体撮像素子の内部に設けることが好ましい。一方、差動アンプ 34a、34b は、固体撮像素子の外部に設けても良い。

【0066】また、緑 (G) の色フィルタを市松状に設けて対応する画素 (Px1-1, Px1-3, Px2-2, Px2-4, Px3-1, Px3-3) 上に配置しているため、緑 (G) の信号は、すべて一方の組の水平信号線 27a、27b を経由して出力端子 35a から出力される。また、赤 (R) と青 (B) の信号は、他方の組の水平信号線 27c、27d を経由して出力端子 35b から出力される。このため、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N 比が向上する。

【実施形態 8】図 18 は、本発明の実施形態 8 による固体撮像素子の概略を示す構成図である。実施形態 8 による固体撮像素子は、CCD 型固体撮像素子であり、2次元マトリクス状に配置された複数のフォトダイオード 210 と、隣り合う 2 列のフォトダイオード 210 から 1 つおきに交互に信号電荷を受け取り、列方向に転送する複数の垂直転送レジスタ 220 と、垂直転送レジスタ 220 から信号電荷を受け取り行方向に転送する 2 つの水平転送レジスタ 240a、240b と、電荷検出部 250a、250b を有している。

【0067】水平転送レジスタ 240a、240b の間には振り分け転送電極 (図示せず) が配置され、この電極によって信号電荷が水平転送レジスタ 240a または水平転送レジスタ 240b のいずれかに転送される。 $\phi V1 \sim \phi V3$  は垂直転送レジスタ 220 の転送電極 (後述) に印加されるパルス電圧であり、 $\phi HG$  は水平転送レジスタ 240a、240b 間の振り分け転送電極に印加されるパルス電圧である。

【0068】また、各フォトダイオード 210 には実施形態 1 と同様な配列で赤 (R)、緑 (G)、青 (B) の色フィルタが配置される。フォトダイオード 210 で生成された信号電荷は、垂直転送レジスタ 220、水平転送レジスタ 240a、240b を転送され、電荷検出部 250a、250b で電圧信号に変換されて、出力端子 260a、260b から出力 (Vout1、Vout2) される。

【0069】このように、実施形態 8 の固体撮像素子は、垂直転送レジスタ 220 のそれぞれが、隣り合う 2 列のフォトダイオード 210 から 1 つおきに交互に信号電荷を受け取っている。即ち、各々の垂直転送レジスタは、一行目が図面において向かって左側の画素、二行目が右側の画素、三行目が左側の画素から電荷信号を受け取る。

【0070】そして、垂直転送レジスタ 220 のそれぞれから出力される信号電荷は、交互に水平信号レジスタ

240a, 240bに転送される。このように接続すれば、市松状に配置された画素から出力される信号電荷は、同じ水平転送レジスタを経由して固体撮像素子の外部に出力される。同じ水平転送レジスタを経由するので、固定パターンノイズは低減される。

【0071】以下、図19～図21を参照して実施形態4の固体撮像素子の画素構造をさらに詳細に説明する。図19は図18の破線で囲まれた領域300の平面図、図20は図19のX1-X2線に沿った断面図、図21は図19のX3-X4線に沿った断面図である。なお、同図において色フィルタは省略されている。フォトダイオード210は、図20に示すように、N型半導体基板200上に形成されたP型ウエル領域201、N型電荷蓄積領域211、高濃度のP型半導体領域212によって構成される。これにより、PNPN型の縦型オーバーフローレイン構造で埋込型のフォトダイオードが形成されている。即ち、埋め込みフォトダイオード(P, N, P)と縦型オーバーフローレイン構造(N, P, N)の合わさった構造が形成されている。縦型オーバーフローレイン構造で埋め込み型のフォトダイオードの構成は、暗電流、残像、リセットノイズ、ブルーミング、及びスミアを低減する効果を有する。

【0072】垂直転送レジスタ220は、図19、図20に示すように、N型転送チャンネル領域221、スミアノイズを抑制するための第2のP型ウエル領域222、N型転送チャンネル領域221上部に絶縁膜202を介して形成された転送電極223～225から構成されている。上記転送電極223～225は、列方向に3つの電極で1段分のレジスタ(3相駆動CCD)を構成しており、それぞれに駆動パルス $\phi V1 \sim \phi V3$ が印加されている。即ち、行方向に延在する転送電極223、225と、列方向に延在する転送電極224とが配置され、1つのフォトダイオード210に対して1段分の垂直転送レジスタが設けられる。従って、本固体撮像素子は、いわゆる全画素読み出し方式のCCD型固体撮像素子である。

【0073】P型チャンネルストッパ230は、フォトダイオード210の周囲に形成され、フォトダイオード210と垂直転送レジスタ220間、及び、列方向に隣接するフォトダイオード210間を分離している。P型チャンネルストッパ230は、図19に示すように、転送ゲートTGの下部には形成されない。従って、各フォトダイオード210で生成された信号電荷は、フォトダイオード210に蓄積され、転送ゲートTGがオンすることによって転送ゲートTGの下部の領域を経由して垂直転送レジスタ220に転送される。図19～図21では、信号電荷の移動する向きを矢印にて示してある。

【0074】また、遮光膜226が図19、図20に示すように垂直転送レジスタ上の転送電極223～225上部に絶縁膜202を介して形成される。転送ゲートT

Gの配置される位置は、奇数行目と偶数行目とで反転している。しかし、遮光膜226によって、受光部の形状が同一となり、受光特性が均一化される。なお、本実施形態において、垂直転送レジスタは、3相駆動CCDを用いた。しかし、これに限らず、4相駆動CCDでも構わない。

【0075】以上のように、実施形態8の固体撮像素子は、市松状に配置された緑(G)の色フィルタを備えたフォトダイオード210の信号電荷が、1つの水平転送レジスタ240aを転送され、1つの電荷検出部250aにて電圧信号に変換され、1つの出力端子260aから出力される。従って、後段の信号処理が容易になると同時に、固定パターンノイズが減少し、S/N比が向上する。

【0076】また、実施形態8の固体撮像素子は、奇数行目と偶数行目で、遮光膜226の平面的な形状と配線や絶縁膜を含めた断面形状が同一であるため、固定パターンノイズが減少し、さらにS/N比が向上する。また、縦型オーバーフローレイン構造で埋込型のフォトダイオード210を採用しているため、暗電流、残像、リセットノイズ、及びブルーミング、スミアが減少し、また、電荷検出部250a、250bの後段で、いわゆる相関二重サンプリング処理をすることによって、電荷検出部250a、250bで発生するリセットノイズ、及び、1/fノイズが減少する。従って、さらにS/N比が向上する。

【0077】次に、本発明に係る固体撮像素子から出力される信号を処理するシステムを説明する。図22は本発明に係る固体撮像素子から出力された信号を処理する信号処理装置の一例を示す構成図である。本発明に係る固体撮像素子は、上記の説明の如く市松状に配置された画素からの信号を一方の出力端子から、残りの画素からの信号を他方の信号端子より外部に出力する。そして、市松状に配置された画素に対応して緑(G)の色フィルタ、その他の画素に赤(R)と青(B)の色フィルタを線順次に配置(ベイヤ配列)させるカラー用の固体撮像素子として好適である。

【0078】本信号処理装置は、上記のように色フィルタが各画素に配置された本発明の固体撮像素子を用いてカラー撮像し、2つの端子に振り分けられて出力される信号を画素の位置に対応した時系列信号に戻すものである。実施形態1から実施形態8に示す本発明の固体撮像素子においては、2つの出力端子から得られる画素の信号(G信号およびR/B信号)は、同一の駆動クロックで出力される。従って駆動周波数は画素数で決まる走査クロック(PICK)の周波数の1/2の周波数になっている。そのため、第1のチャンネルの走査先頭画素を基準に水平方向の出力タイミングを見ると、第1のチャンネルでは画素に合ったタイミングで出力されて第2のチャンネルでは1画素分早く出力されるラインと、第1の

チャンネルでは 1 画素分早く出力されて第 2 のチャンネルでは 2 画素分早く出力されるラインが交互に配置されていることになる。

【0079】本装置は、G 信号が上記第 1 のチャンネル、R、B の線順次信号が第 2 のチャンネルとして出力される。G 信号は固体撮像素子の信号出力周波数と同一の周波数で、出力信号にタイミングに合わせて AD 変換される。AD 変換周波数は  $PICKLCK$  の  $1/2$  である。G 信号は第 1 のチャンネル出力であるから、水平方向にタイミングをずらさない信号と 1 画素分  $DL82$  (実体は  $PICKLCK$  に同期した  $DIFF$ ) で遅らせた信号を  $MPX84$  において切換え信号  $HMPX$  でライン毎に切換え、どちらの信号も画素位置に対応した  $PICKLCK$  に同期した  $DIFF86$  でタイミングをとり、信号処理部 89 に送られる。なお、信号処理の都合上、各 G 画素の信号は水平方向に 2 画素分の大きさとして信号処理部に送っている。これは、緑 (G) の色フィルタが配置されていない画素に黒画素 (0 レベル信号) を挿入して出力されるようにしてもよい。

【0080】B 信号と R 信号が線順次に出力される第 2 のチャンネルは、第 1 のチャンネル (G 信号) と同様に信号処理された後、 $DIFF88$  でもう 1 画素分遅らせて信号処理部 89 に送られる。信号処理部 89 はベイア配列用の信号処理部であり、R/B の色分離、RGB 各色の空格子点の画素補間、 $\gamma$  処理などの信号処理を施して、全画素に RGB 全ての色信号がある RGB 信号として出力される。

【0081】

【発明の効果】以上詳述したとおり、本発明による固体撮像素子は、市松状に配置された画素または光電変換部から出力される信号の固定パターンノイズを低減することができ、 $S/N$  比が向上するという効果がある。また、本発明の固体撮像素子に少なくとも一種類の色フィルタを市松状に配置してカラー映像信号を出力させれば、固定パターンノイズが低減されたカラー映像信号が得られ、良好な画質を得ることが可能となる。本発明の固体撮像素子は、このような配列の色フィルタを使用する際に特に好適である。

【0082】また、本発明の固体撮像素子を奇数行目の画素 (又は光電変換部) と偶数行目の画素 (又は光電変換部) で遮光領域の平面的な形状を同一とするなら、固定パターンノイズが減少し、 $S/N$  比が向上するという効果もある。さらに、配線や絶縁膜等を含む画素全体の断面形状も同一にすれば、固定パターンノイズがさらに減少し、 $S/N$  比がさらに向上する。

【0083】また、本発明の固体撮像素子の画素に出力部を配置させれば、光電変換部で生じた電荷によって変換された信号 (例えば電荷増幅された信号や電流増幅された信号) を出力することが可能となる。出力部に蓄積された信号電荷は、初期化されるまで保持される。従っ

て、このような構成で複数回読み出すことも可能となる。

【図面の簡単な説明】

【図 1】本発明の実施形態 1 による固体撮像素子の概略を示す回路図である。

【図 2】本発明の実施形態 2 による固体撮像素子の概略を示す回路図である。

【図 3】本発明の実施形態 3 による固体撮像素子の回路図である。

【図 4】本発明の実施形態 4 による固体撮像素子の構成を示す回路図である。

【図 5】実施形態 4 に係る固体撮像素子の複数の画素の平面図である。

【図 6】実施形態 4 に係る固体撮像素子の 1 つの画素の平面図である。

【図 7】図 6 の  $X1-X2$  線に沿った断面図である。

【図 8】図 6 の  $Y1-Y2$  線に沿った断面図である。

【図 9】図 6 の  $Y3-Y4$  線に沿った断面図である。

【図 10】本発明の実施形態 5 による固体撮像素子の構成を示す回路図である。

【図 11】実施形態 5 に係る固体撮像素子のマトリクス状に配置された複数の画素の平面図である。本発明の実施形態 5 による固体撮像素子の平面図である。

【図 12】本発明の実施形態 5 に係る固体撮像素子の 1 つの画素の平面図である。

【図 13】図 12 の  $X1-X2$  線に沿った断面図である。

【図 14】図 12 の  $Y1-Y2$  線に沿った断面図である。

【図 15】図 12 の  $Y3-Y4$  線に沿った断面図である。

【図 16】本発明の実施形態 6 に係る固体撮像素子のマトリクス状に配置された複数の画素の平面図である。

【図 17】本発明の実施形態 7 による固体撮像素子の概略を示す回路図である。

【図 18】本発明の実施形態 8 による固体撮像素子の概略を示す構成図である。

【図 19】図 18 の破線で囲まれた領域 300 の平面図である。

【図 20】図 19 の  $X1-X2$  線に沿った断面図である。

【図 21】図 19 の  $X3-X4$  線に沿った断面図である。

【図 22】本発明に係る固体撮像素子から出力された信号を処理する信号処理装置の一例を示す構成図である。

【図 23】従来の X-Y アドレス型固体撮像素子の主な構成を示す回路図である。

【図 24】従来の X-Y アドレス型固体撮像素子のマトリクス状に配置された複数の画素の平面図である。

【図 25】従来の CCD 型固体撮像素子の概略構成図で

ある。

【図 26】図 25 の X1-X2 線に沿った CCD 型固体撮像素子の断面図である。

【図 27】色フィルタ配列の一例を示す図である。

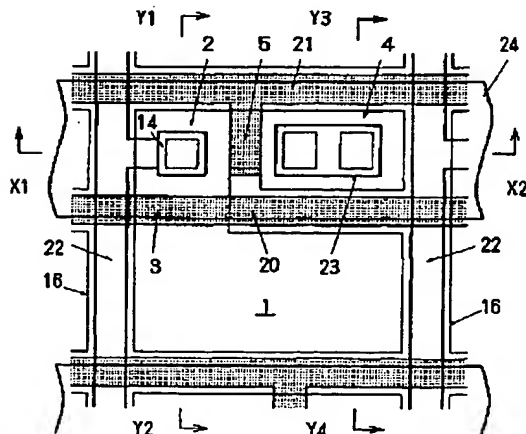
【図 28】色フィルタ配列の他の例を示す図である。

【符号の説明】

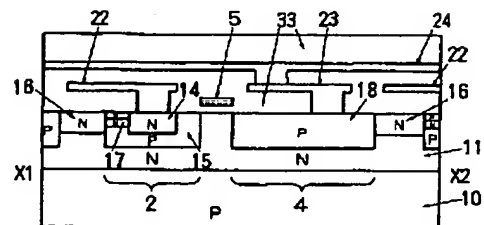
- 1 フォトダイオード
- 2 JFET
- 3 転送ゲート
- 4 リセットドレイン
- 5 リセットゲート
- 6 a オーバーフロー制御領域
- 7 垂直走査回路
- 8 水平走査回路
- 9 a~9 c 行選択線
- 10 P型半導体基板
- 11 N型ウエル領域
- 12 P型電荷蓄積領域
- 13 高濃度のN型半導体領域
- 14 N型ソース領域
- 15 P型ゲート領域
- 16 N型ドレイン領域
- 17 N型チャネル領域
- 18 P型電荷排出領域
- 20, 20 a~20 c 転送ゲート配線
- 21, 21 a~21 c リセットゲート配線
- 22, 22 a~22 d 垂直信号線
- 23 中継配線
- 24, 24 a~24 c リセットドレイン配線
- 26 a~26 d 定電流源
- 27 a~27 d 水平信号線
- 28 a~28 d 出力バッファアンプ
- 29 a~29 d 列バッファアンプ
- 33 絶縁膜

- 34 a, 34 b 差動アンプ
- 35 a, 35 b 出力端子
- 41 フォトダイオード
- 42 行選択トランジスタ
- 51 フォトダイオード
- 52 出力トランジスタ
- 53 リセットトランジスタ
- 54 行選択トランジスタ
- 55 a~55 c リセットゲート配線
- 10 56 a~56 c 行選択線
- 80, 81 AD変換器
- 82, 83 遅延素子
- 84, 85 マルチプレクサ
- 86, 87, 88 Dフリップフロップ
- 89 ベイヤ配列用信号処理部
- 100 高濃度のN型半導体基板
- 101 N型半導体層
- 200 N型半導体基板
- 201 P型ウエル領域
- 20 202 絶縁膜
- 210 フォトダイオード
- 211 N型電荷蓄積領域
- 212 高濃度のP型半導体領域
- 220 垂直転送レジスタ
- 221 N型転送チャネル領域
- 222 第2のP型ウエル領域
- 223, 224, 225 転送電極
- 226 遮光膜
- 230 P型チャネルストップ
- 30 240 a, 240 b 水平転送レジスタ
- 250 a, 250 b 電荷検出部
- 260 a, 260 b 出力端子

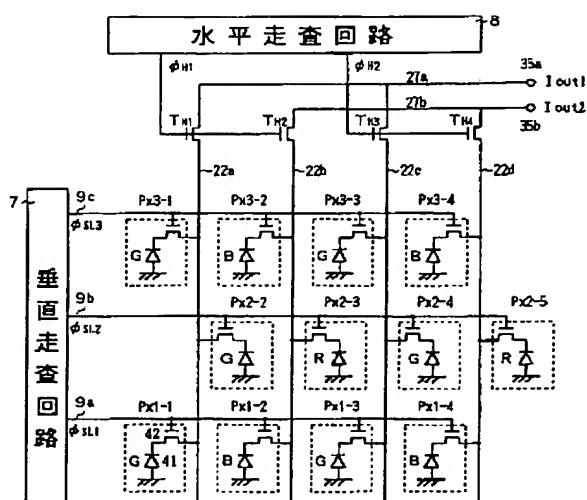
【図 6】



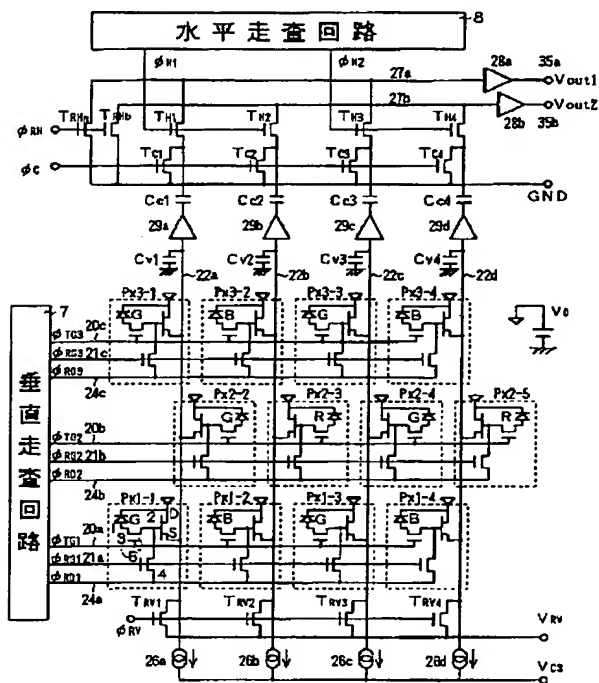
【図 7】



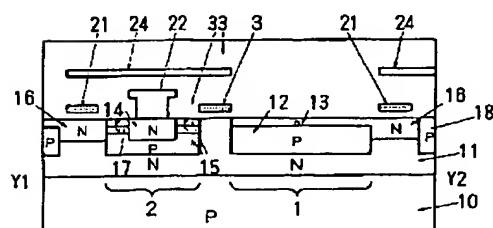
【図 2】



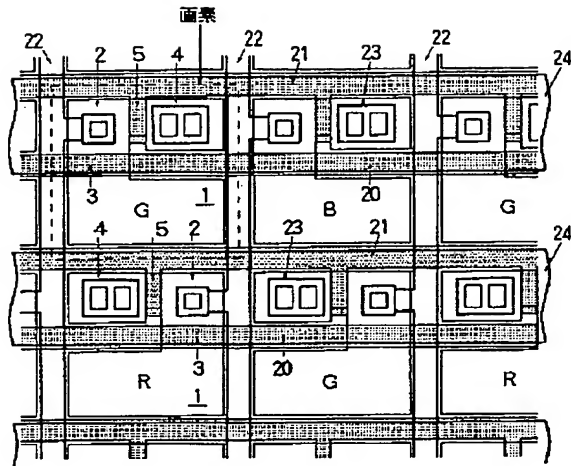
【図 4】



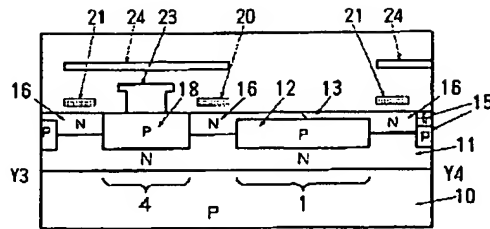
【図 8】



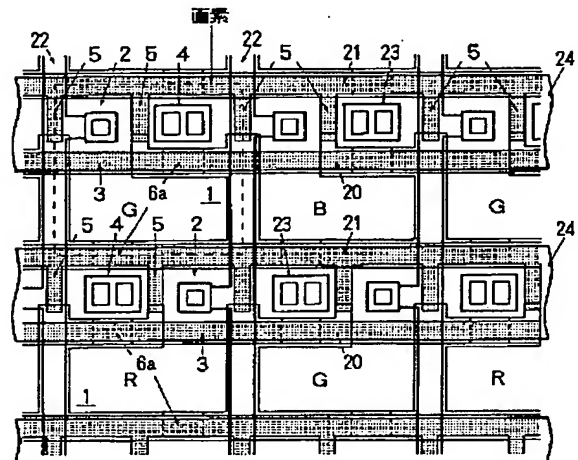
【図5】



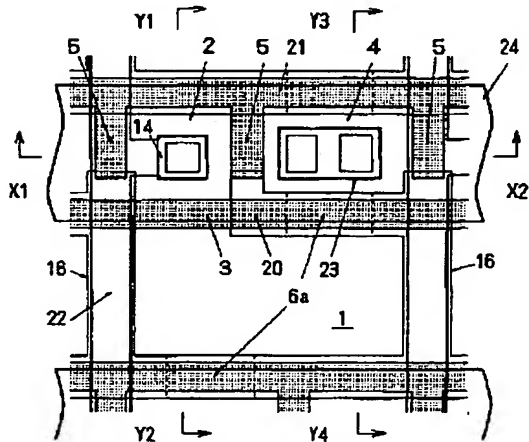
【図9】



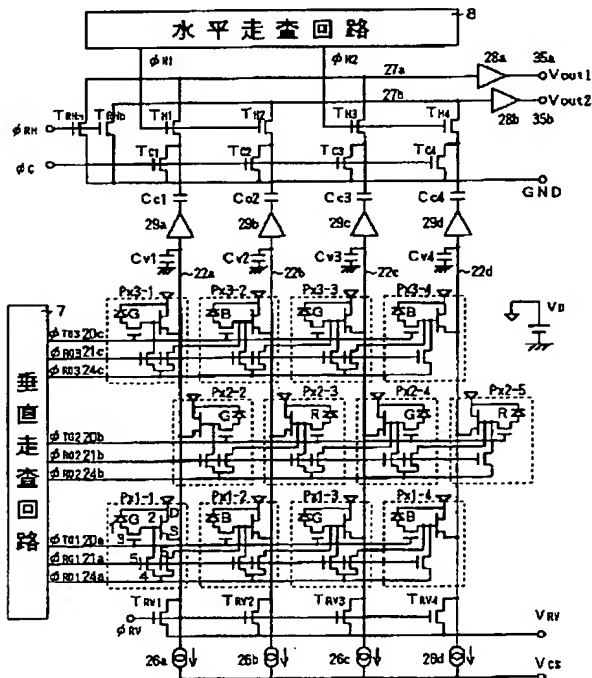
【図11】



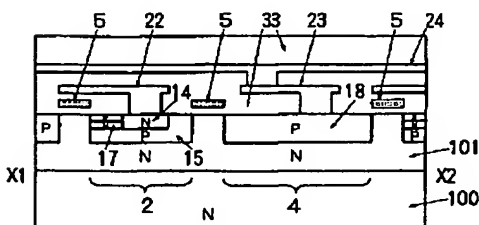
【図12】



【図10】

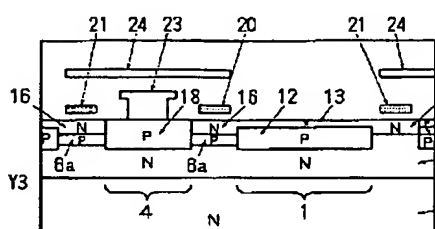


【図13】

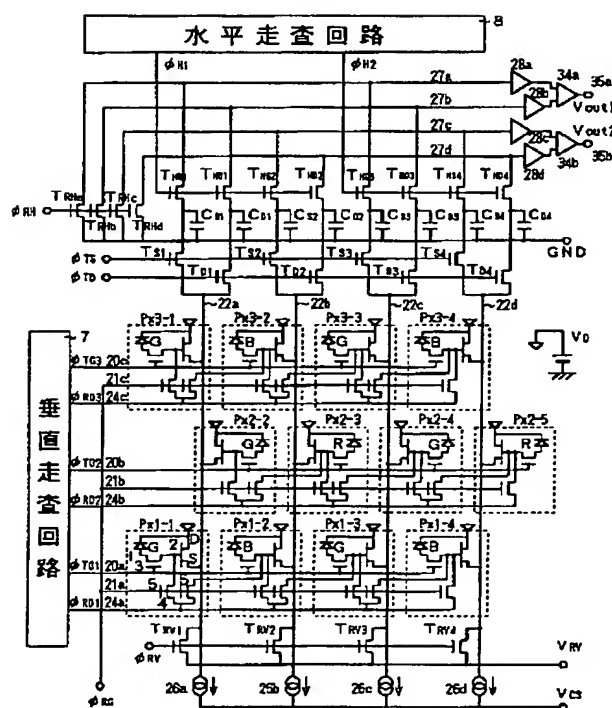




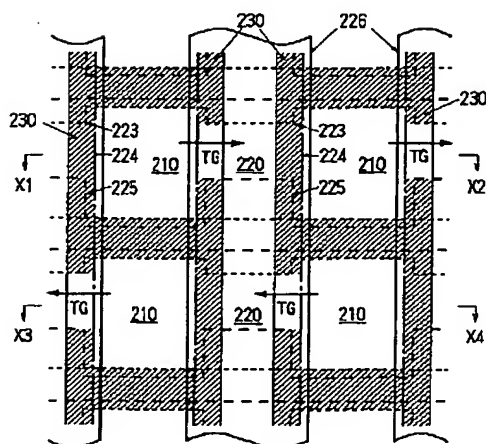
【図 15】



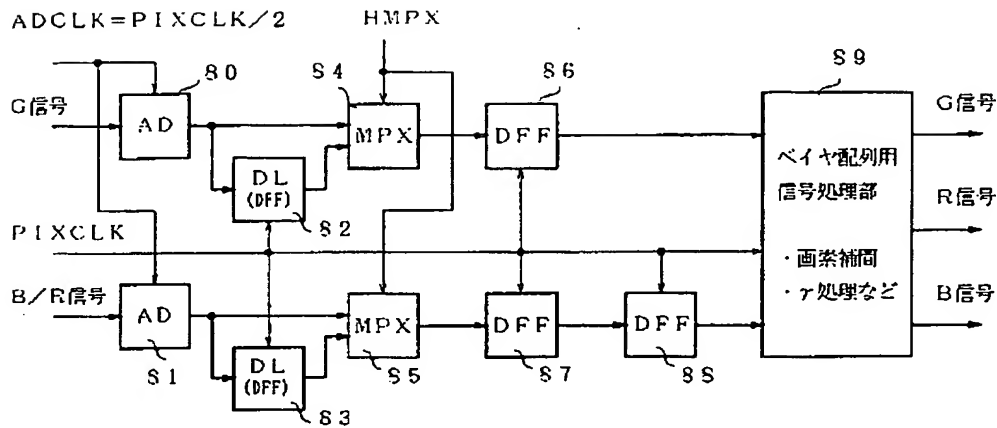
【图 17】



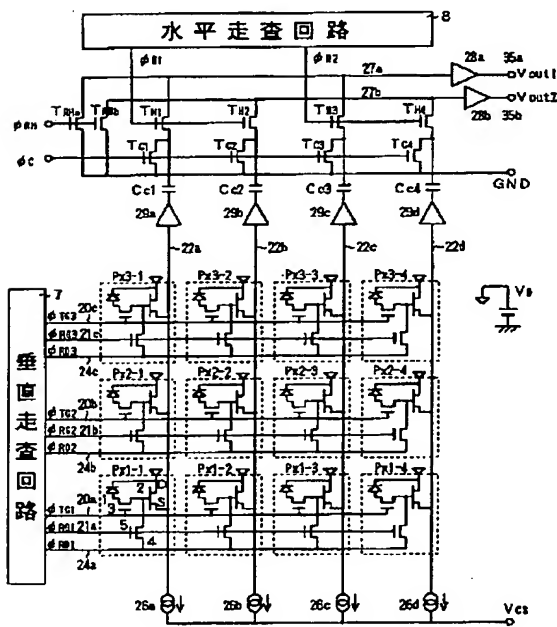
【图 19】

[illegible]

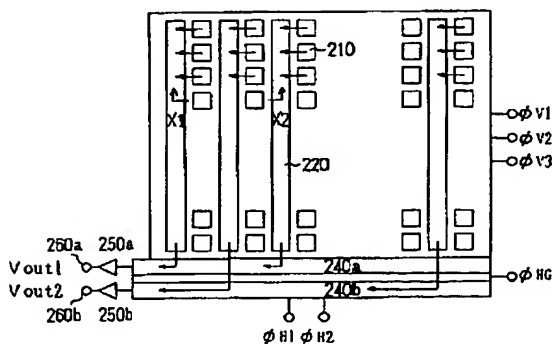
【図22】



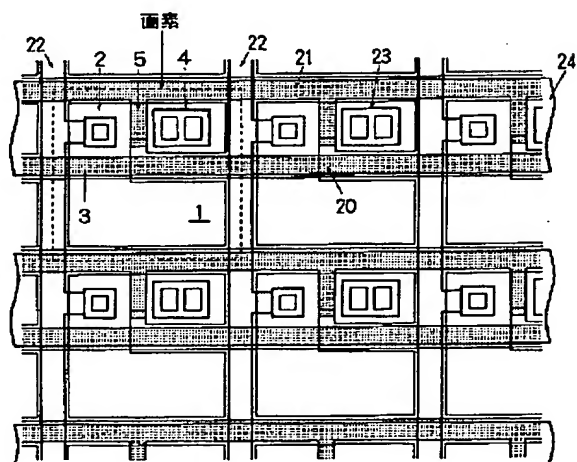
【図23】



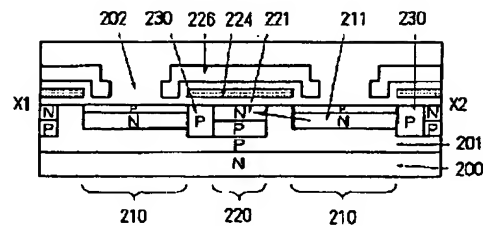
【図25】



【図24】



【図26】



【図 2 7】

G	B	G	R	G	B
G	R	G	B	G	R
G	B	G	R	G	B
G	R	G	B	G	R
G	B	G	R	G	B
G	R	G	B	G	R

【図 2 8】

G	B	G	B	G	B
R	G	R	G	R	G
G	B	G	B	G	B
R	G	R	G	R	G
G	B	G	B	G	B
R	G	R	G	R	G

---

フロントページの続き

F ターム(参考) 4M118 AA01 AA02 AA05 AB01 BA10  
 CA04 DA02 FA07 FA13 FA14  
 FA36 FA50 GB03 GB07 GB11  
 GB20 GC08  
 5C024 AA01 CA06 DA01 EA08 FA01  
 FA11 FA12 GA01 GA11 GA31  
 GA52 JA09  
 5C065 AA00 BB22 CC01 DD02 DD09  
 DD15